

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-231098

(43) 公開日 平成6年(1994)8月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 15/16	4 2 0 Z	9190-5L		
	4 7 0 M	9190-5L		

審査請求 未請求 請求項の数4 OL (全9頁)

(21) 出願番号 特願平5-14000

(22) 出願日 平成5年(1993)1月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 栗林 暢彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

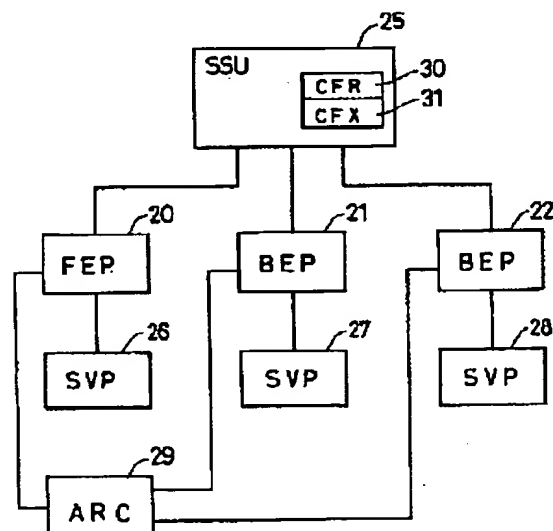
(54) 【発明の名称】 マルチプロセッサシステムの制御方式

(57) 【要約】

【目的】 本発明はマルチプロセッサシステムの制御方式に関し、SSUに接続されるFEP及び複数のBEP夫々のSVP間で通信を行なう必要がなく、SVP間通信のためのハードウェア及びソフトウェア量を削減できることを目的とする。

【構成】 システム記憶装置(25)内にレジスタ(32)を設け、上記システム記憶装置(25)の電源投入後上記レジスタ(32)をオンとし、各クラスタ(21, 22)は夫々の電源投入時に上記システム記憶装置(25)のレジスタ(32)を監視して上記レジスタ(32)がオンのとき上記システム記憶装置に接続する。

本発明方式のSCMPの構成図



(2)

特開平6-231098

1

2

【特許請求の範囲】

【請求項1】 コンピュータシステムであるクラスタ(21, 22)が複数でシステム記憶装置(25)を共有するマルチプロセッサシステムの制御方式において、システム記憶装置(25)内にレジスタ(32)を設け、上記システム記憶装置(25)の電源投入後上記レジスタ(32)をオンとし、各クラスタ(21, 22)は夫々の電源投入時に上記システム記憶装置(25)のレジスタ(32)を監視して上記レジスタ(32)がオンのとき上記システム記憶装置に接続することを特徴とするマルチプロセッサシステムの制御方式。

【請求項2】 請求項1記載のマルチプロセッサシステムの制御方式において、電源が投入されたクラスタはシステム記憶装置(25)に対して割込みを発生することを特徴とするマルチプロセッサシステムの制御方式。

【請求項3】 請求項1又は2記載のマルチプロセッサシステムにおいて、

上記システム記憶装置(25)にその記憶データが有効か無効かを示すビット(46)を設け、各クラスタ(21, 22)では上記ビット(46)を参照してシステム記憶装置(25)の記憶データを判断することを特徴とするマルチプロセッサシステムの制御方式。

【請求項4】 請求項3記載のマルチプロセッサシステムの制御方式において、システム記憶装置(25)に重大な障害の発生によりセットされるフラグ(47)を設け、上記フラグ(47)のセットにより上記システム記憶装置(25)のアクセスを禁止することを特徴とするマルチプロセッサシステムの制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマルチプロセッサシステム制御方式に関し、システムストレッジカップルトマルチプロセッサシステムの制御方式に関する。

【0002】

【従来の技術】 従来より図8に示す如くフロントエンドプロセッサ(FEP)10、及びクラスタとしてのバックエンドプロセッサ(BEP)11, 12をシステム記憶装置(SSU)15に夫々接続したシステムストレッジカップルトマルチプロセッサシステム(SCMP)がある。従来のSCMPではFEP10、及びクラスタとしてのBEP11, 12夫々に付設されたサービスプロセッサ(SVP)16, 17, 18間をローカルエリアネットワーク(LAN)19で接続している。FEP10, BEP11, 12夫々は異種のコンピュータである場合もあり、電源は互いに独立し、FEP10からSSU15に電源を供給している。

【0003】

【発明が解決しようとする課題】 従来、SCMPの電源を立上げる場合は、SVP16~18間でLAN19を介して通信を行ない、SVP16~18の同期をとってFEP10及びBEP11, 12の電源を立上げている。

【0004】 このようにSVP16~18間をLANによって接続するとハードウェアが大規模になり、また、異種のコンピュータであるFEP10, BEP11, 12をSVP16~18を介してLAN19に接続するためソフトウェアが大規模となり、通信に要する時間も長くなるという問題があった。

【0005】 本発明は上記の点に鑑みなされたもので、SSUに接続されるFEP及び複数のBEP夫々のSVP間で通信を行なう必要がなく、SVP間通信のためのハードウェア及びソフトウェア量を削減できるマルチプロセッサシステムの制御方式を提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明のマルチプロセッサシステムの制御方式は、コンピュータシステムであるクラスタが複数でシステム記憶装置を共有するマルチプロセッサシステムの制御方式において、システム記憶装置内にレジスタを設け、上記システム記憶装置の電源投入後上記レジスタをオンとし、各クラスタは夫々の電源投入時に上記システム記憶装置のレジスタを監視して上記レジスタがオンのとき上記システム記憶装置に接続する。

【0007】 また、電源が投入されたクラスタはシステム記憶装置に対して割込みを発生する。また、上記システム記憶装置にその記憶データが有効か無効かを示すビットを設け、各クラスタでは上記ビットを参照してシステム記憶装置の記憶データを判断する。

【0008】 また、システム記憶装置に重大な障害の発生によりセットされるフラグを設け、上記フラグのセットにより上記システム記憶装置のアクセスを禁止する。

【0009】

【作用】 本発明においては、システム記憶装置の電源投入でレジスタがオンとなった後、電源投入されたクラスタをシステム記憶装置に接続するため、サービスプロセッサ(SVP)間で通信を行なうことなくシステム内の各クラスタの電源投入を行なうことができる。

【0010】 また、電源が投入されたクラスタはシステム記憶装置に割込みを行なうため、システム記憶装置を管理するプロセッサのオーバーヘッドが軽減される。

【0011】 また、システム記憶装置のデータが有効か無効かを示すビットから各クラスタで記憶データを判断するため、システム記憶装置の無駄なアクセスが抑止され、システム記憶装置の重大な障害の発生時にアクセスが禁止され、障害が拡大することが防止される。

(3)

特開平6-231098

3

【0012】

【実施例】図1は本発明方式のSCMPの一実施例の構成図を示す。同図中、FEP20及びBEP21、22夫々がSSU25に接続されてSCMPを構成している。FEP20及びBEP21、22夫々にはSVP26~28夫々が付設されており、SVP26~28はLANにより接続されていない。

【0013】SSU25内には構成制御レジスタ(CFR)30、コネクタ機構レジスタ(CFX)31が設けられている。

【0014】オートマチックリモートコントローラユニット(ARC)29はFEP20及びBEP21、22の電源制御を行なうと共に、これらに電源警告レポート等を供給する。

【0015】図2はSCMPの一実施例のブロック図を示す。同図中、図1と同一部分には同一符号を付す。SSU25内のメモリ部40はメモリ制御部41によりアクセスを制御される。メモリ制御部41内にはSCMP内のクラスタの接続構成情報を格納する構成制御レジスタ(CFR)30と、ホットスタンバイ等の高速切換えのために上記CFR30で接続を定義されたクラスタのうち実際に使用するクラスタの接続情報を格納するコネクタ制御レジスタ(CFX)31と、クラスタの接続が可能であることを指示するクラスタレディレジスタ(CRR)32とが設けられている。

【0016】メモリ制御部41に制御されるムーバ(MOVER)42はFEP20及びBEP21、22との間でデータの転送を行ない、割込み制御回路(GSIGP)はFEP20、BEP21、22との間で割込み要求及びパラメータを送受して割込み制御を行なう。また、SCIインタフェース44はFEP20、BEP21、22夫々のSCI(サービスプロセッサコントロールインタフェース)と接続されてFEP20、BEP21、22夫々よりのリモートスキャン時にメモリ制御部41内のレジスタの内容を転送する。

【0017】マルチファンクション検出回路45はBEP21、22夫々から異常信号を供給されると、他のBEPにどのBEPが異常状態かを通知する。

【0018】BEP21のメモリ装置(MSU)50はメモリ制御装置(MCU)51によりアクセスを制御される。MCU51にはスカラー演算を行なうプロセッサであるスカラーユニット(SU)52及びベクトル演算を行なうプロセッサであるベクトルユニット(VU)53が接続されている。

【0019】MCU51に制御されるMOVER54及びGSIGP55夫々はSSU25のMOVER42及びGSIGP43夫々と接続され、データ転送及び割込みを行なう。またSCI56はSSU25のSCIインタフェース44と接続されると共に、SVP27と接続されており、SVP27との間で制御情報を送受する。

4

システム電源制御装置(SPC)57は端子58を介して接続されたARC29の制御に従ってBEP21及びSVP27の電源制御を行なう。

【0020】FEP20及びBEP22の構成は上記BEP21と同様である。

【0021】図3は本発明方式のSCMPの要部のブロック図、図4はFEP20のSVP26が実行する電源投入処理のフローチャート、図5はBEP21、22のSVP27、28が実行する電源投入処理のフローチャートを示す。

【0022】図4において、ステップS2ではSVP26はFEP20及びSSU25のパワーオンリセットを行なう。次にステップS4でSVP26に格納されている構成情報をFEP20のSCIよりSSU25のSCIインタフェース44に転送し、上記構成情報をCFR30及びCFX31夫々にセットする。

【0023】なお、上記CFR30の内容はその後、書換えられることなく固定され、CFX31の内容はFEP20のソフトウェアによって書換えられ、ホットスタンバイ等の高速の切換えが可能となり、従来の如くSVP26~28間でLANを用いてCFR30の内容を書換える必要がなく制御が簡素化される。この後ステップS6でクロックチューニングを実行し、ステップS8でCRR32をオンとし、ステップS9でSSUパワーレディ(SPR)信号をオンとして処理を終了する。

【0024】ここで、クロックは図6に示す如く、端子60より入来するクロックを基準としたクロックフェーズジェネレータ61で位相レジスタ64の位相設定値に応じた位相の各種クロックを生成し、クロックディストリビュータ62で端子63₁~63_n夫々に分配して装置の各部に供給している。クロックチューニングは上記位相レジスタ64に位相設定値をロードすることによって行なわれる。

【0025】図5において、ステップS10でSVP27はBEP21のパワーオンリセットを行なう。次にステップS12でクロックチューニングを行ない、ステップS14でMCU51内のユニットレディレジスタ(URR)70をオンとする。この後、BEP21のSCI56からSSU25のSCIインタフェース44を通じてCRR32の内容をスキャンアウトし、ステップS16でCRR32がオンか否かを判別する。CRRオンの場合はステップS18でBEP21のMCU51内のSSU接続フラグ(SCF)71をオンとし、ステップS20でSSUに割込みをかけ処理を終了する。CRRオフの場合はSCF71をオンとすることなく処理を終了する。

【0026】ここで、図4の処理を実行することによって、図3に示すSSU25内のCFR30及びCFX31に構成情報がセットされ、アンド回路72は上記構成情報によって接続が指定されたクラスカ(BEP)につ

(4)

特開平6-231098

5

いてのみオンとなる信号を生成してMOVER 42, GSIGP 43, マルファンクション検出回路45夫々に供給すると共にBEP 21, 22に供給する。またCRR 32及びSPRがオンとされる。

【0027】次に図5の処理が実行されると、BEP 21内のURR 70及びSCF 71がオンとする。また端子73より入来するSSUパワーレディ信号がオンでフリップフロップ74に格納されるためアンド回路75出力がオンとなってアンド回路76, 77に供給される。アンド回路76はこの他にURR 70出力がオンのため正側出力をオンとする。このアンド回路76の正負両出力はSSU 25のアンド回路78に供給され、アンド回路78のオン出力はMOVER 42, GSIGP 43, マルファンクション検出回路45に供給され、これらの回路はアンド回路72, 78の両オン出力により動作状態となる。

【0028】また、アンド回路77はSSU 25のアンド回路72出力及びBEP 21のアンド回路75出力及びURR 70がオンとなるとMOVER 54及びGSIGP 55を動作状態とする。これによってBEP 21のMOVER 54, GSIGP 55とSSU 25のMOVER 42, GSIGP 43との間でデータ転送及び割込みが可能となる。

【0029】この後、ステップS20によってMSU 50内のファームウェアが起動されMCU 51はGSIGP 55からSSU 25のGSIGP 43に対して割込み要求を発行する。この割込みはGSIGP 55, 43間がビジーでコンディションコードCC=2の場合は所定時間(例えば1msec)待ちビジーが解消してCC=0となったときリトライされ、バスパリティマシントラップ等でCC=2のときは2回リトライされる。このBEP 21からSSU 25に割込みを行なうことによってSSU 25にBEP 21が起動したことが通知され、更にSSU 25のGSIGP 43からFEP 20に通知される。これによってFEP 20はBEP 21, 22夫々の電源が投入されたかどうかを知るためにSSU 25を繰り返しポーリングする必要がなくFEP 20のオーバーヘッドが軽減される。

【0030】ところで、BEP 21よりBEP 21の誤動作等によって異常信号が出力されるとSSU 45のマ

【0031】このようにして、SVP 26~28間でLANを用いた通信を行なうことなく、SCMPの電源投入を行なうことができる。

【0032】また、SSU 25はクロックチューニングがなされた後、クラスタレディレジスタ(CRR) 22がオンとされ、BEP 21ではクロックチューニングの後、CRR 22がオンかを判別してMOVER 54, GSIGP 55を動作可能とするため、クロックチューニ

6

ング等のノイズがMOVER 42, 54間及びGSIGP 43, 55間を転送されることがなく誤動作を防止できる。

【0033】ここで、SSU 25のメモリ部40にはデータインバリッド(DI)ビット46及びシステムダメージ(SD)ビット47が設けられている。DIビット46はSSU 25のパワーオンリセット時にメモリ制御部41により1にセットされ、またSSU 25の電源瞬断時に1にセットされ、SSU 25内のデータが保障されないことを表わす。またSDビット47はSSU 25のパワーオンリセット時にメモリ制御部41により0にリセットされまたSSU 25に重大な障害が発生した場合に1にセットされる。

【0034】FEP 20はOSのIPL中でSCIインタフェース44を介してDIビットをチェックし、1のときSSU 25のデータが無効と判断し、またSSU 25に有効なデータを書き込むと命令を発行してDIビット46を0にリセットする。またFEP 20は電源異常が発生した場合は命令によりSCIインタフェース44よりDIビット46の値をチェックしDIビット46が1のときはSSU 25のデータが無効と判断し、またSSU 25をアクセスして所定回数ノットオペレーションであるとSSU 25は使用不可と判断する。

【0035】BEP 21, 22はARC 29から電源警告レポートを受取ると命令によりSCIインタフェース44よりDIビット46の値をチェックし、DIビットが1のときはSSU 25のデータが無効と判断し、またSSU 25をアクセスして所定回数ノットオペレーションであるとSSU 25は使用不可と判断する。

【0036】SSU 25はFEP 20及びBEP 21, 22よりアクセスされたとき、SDビット47が1のときMOVER 42をノットオペレーションとしてアクセスを禁止する。

【0037】このようにDIビット46を設けることによってSSU 25の無駄なアクセスが抑止され、SDビット47を設けることによってSSU 25のアクセスが禁止されて障害が拡大することを防止できる。

【0038】次に各クラスタで障害を検出したときの動作について説明する。BEP 21のMCU 51内には図7に示す如く、チェックストップ検出回路71が設けられており、BEP 21のチェックストップを検出すると、チェックストップレジスタ(CSR) 72に1を書き込む。CSR 72はパワーオンリセット時に0にリセットされており、CSR 72に1が書き込まれるとノア回路73は0となる。

【0039】また、BEP 21の動作状態を表わすMCU 51内のアクティブステート(AS) 74の内容は割込み制御部76に供給されている。割込み制御部76はASの内容よりウォッチドッグタイマアウト等の障害を検出するとSCI 56を通してSVP 27に割込みを行

(5)

特開平6-231098

7

ない上記AS 74の状態をリザルトレジスタ75及びSCI 56を通して通知する。SVP 27は上記AS 74の状態から障害通知の命令を発行し、この命令はSCI 56を通してデコーダ77に供給される。デコーダ77でこの命令が障害通知の命令と判別されるとデコーダ77はカウンタ78を起動し、カウンタ78は所定時間だけ1の信号を発生してノア回路73に供給する。ノア回路73出力は端子79より図3に示すSSU 25のマルファンクション検出回路45に供給され、ノア回路73出力が0のときマルファンクション検出回路45はBEP 21に障害発生として他のクラスタであるBEP 22に通知する。

【0040】このようにAS 74の内容をSVP 27で判別してSVP 27の命令でDEC 77、カウンタ78により異常信号を生成するため、MCU 51内の回路構成が簡単となり、MCU 51とSCI 56夫々の外部接続ピンの増加を防止できる。

【0041】

【発明の効果】上述の如く、本発明のマルチプロセッサシステムの制御方式によれば、SSUに接続されるFEP 20及び複数のBEP 21夫々のSVP 27間で通信を行なう必要がなく、SPV間通信のためのハードウェア及びソフトウェア量を削減でき、実用上きわめて有用である。

【図面の簡単な説明】

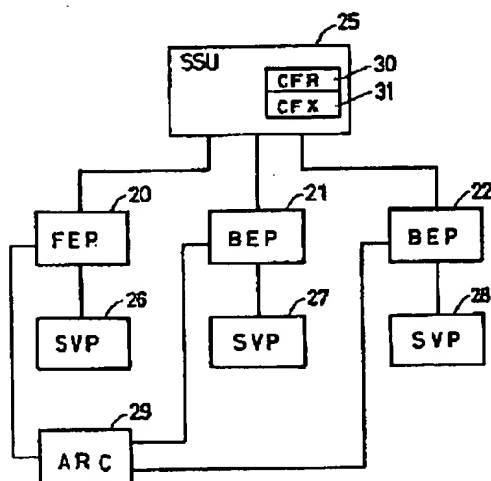
【図1】本発明方式のSCMPの構成図である。

【図2】SCMPのブロック図である。

【図3】SCMPの要部のブロック図である。

【図1】

本発明方式のSCMPの構成図



8

【図4】電源投入処理のフローチャートである。

【図5】電源投入処理のフローチャートである。

【図6】クロックチューニングを説明するための図である。

【図7】BEPの障害検出部のブロック図である。

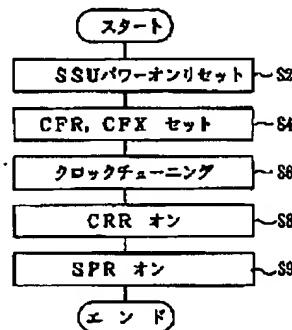
【図8】従来システムの構成図である。

【符号の説明】

20 FEP
21, 22 BEP
25 SSU
26~28 SVP
29 ARC
30 CFR
31 CFX
32 CRR
40 メモリ部
41 メモリ制御部
42, 54 MOVER
43, 55 GSIGP
44 SCIインタフェース
50 MSU
51 MCU
52 SU
53 VU
56 SCI
57 SPC

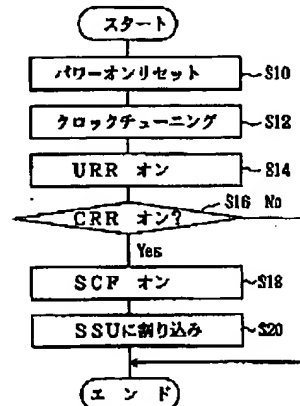
【図4】

電源投入処理のフローチャート



【図5】

電源投入処理のフローチャート

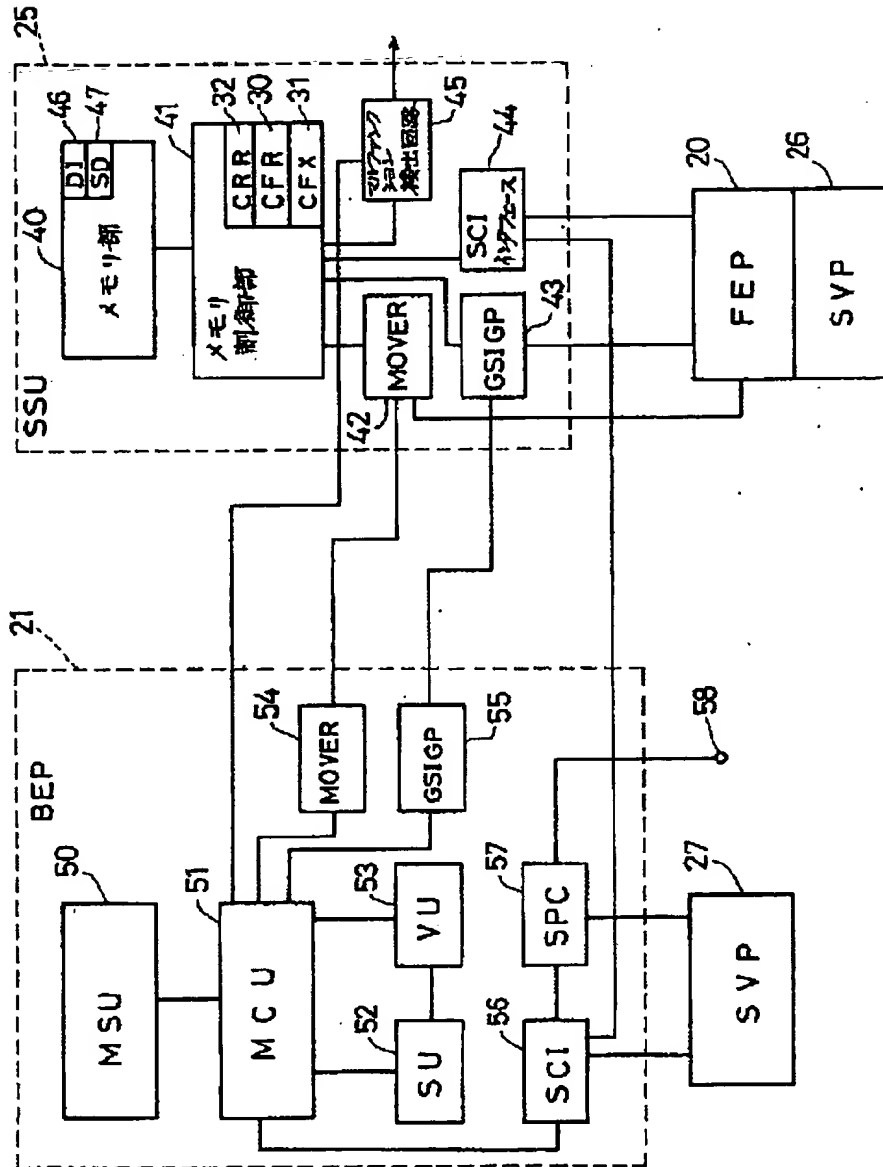


(6)

特開平6-231098

【図2】

SCMPのブロック図

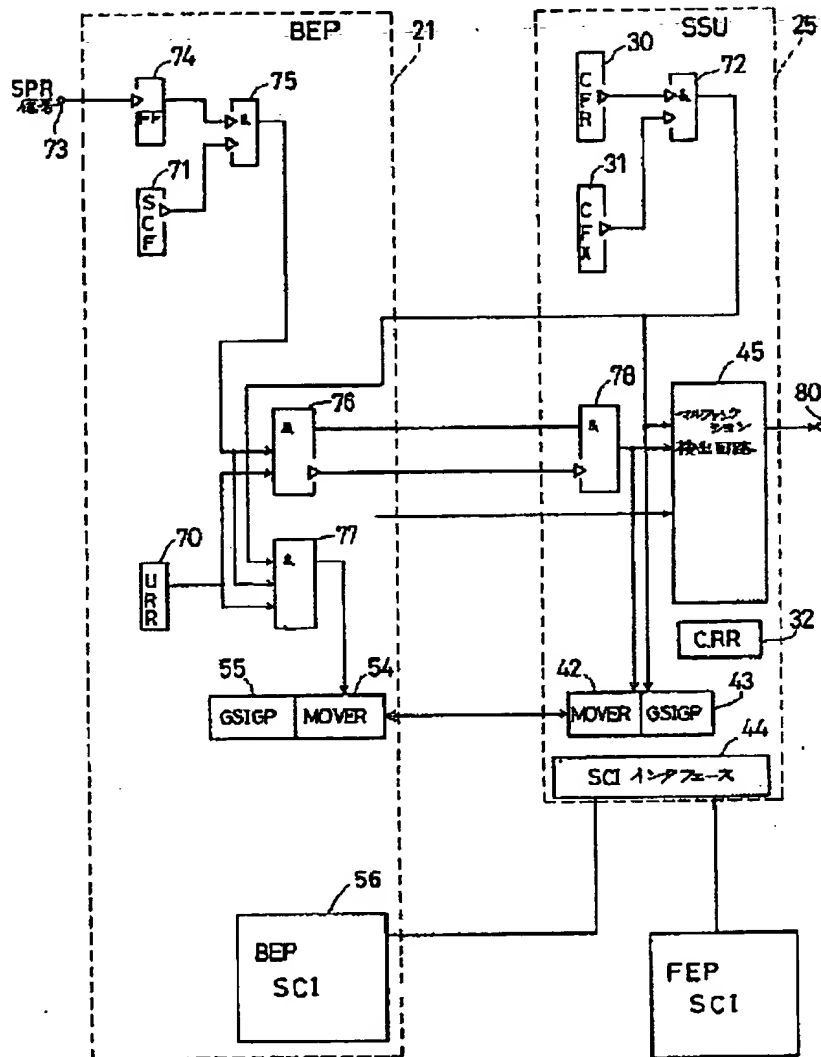


(7)

特開平6-231098

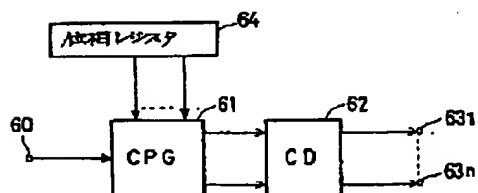
【図3】

SCMPの各部のブロック図



【図6】

クロック・チューニングと制御するための図



(9)

特開平6-231098

【図8】

従来システムの構成図

